



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0072478  
Application Number

출원 년 월 일 : 2002년 11월 20일  
Date of Application NOV 20, 2002

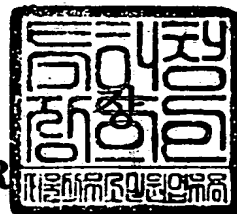
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 12 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2002.11.20
【국제특허분류】	H01L
【발명의 명칭】	온칩 DC 전류 소모를 최소화할 수 있는 ODT 회로와 ODT 방법 및 이를 구비하는 메모리장치를 채용하는 메모리 시스템
【발명의 영문명칭】	On-Die Termination circuit and method for reducing on-chip DC current and memory system including memory device having the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	이정배
【성명의 영문표기】	LEE, Jung Bae
【주민등록번호】	670227-1046533
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 진산마을 삼성5차 523-302
【국적】	KR
【심사청구】	청구

## 【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

이영필 (인) 대리인

정상빈 (인)

## 【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 7 면 7,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 25 항 909,000 원

【합계】 945,000 원

## 【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

온칩 DC 전류 소모를 최소화할 수 있는 메모리장치의 ODT 회로와 ODT 방법 및 이를 구비하는 메모리 시스템이 개시된다. 상기 ODT 회로는, 종단전압 포트, 데이터 입출력 포트, 제1종단저항, 스위치, 및 종단 인에이블 신호 발생회로를 구비한다. 상기 종단전압 포트는 상기 메모리장치 외부의 전압 레귤레이터 또는 메모리 컨트롤러로부터 종단전압을 수신한다. 상기 제1종단저항은 상기 데이터 입출력 포트에 일단이 연결된다. 상기 스위치는 종단 인에이블 신호에 응답하여 상기 종단전압 포트와 상기 제1종단저항의 다른 일단을 선택적으로 연결한다. 상기 종단 인에이블 신호 발생회로는 상기 메모리장치의 기입동작시 입력 데이터의 유효구간을 나타내는 신호 또는 독출구간이 아님을 나타내는 신호 및 모드 레지스터 셋트(MRS)의 출력신호에 응답하여 상기 종단 인에이블 신호를 발생한다. 상기 ODT 회로는 상기 데이터 입출력 포트에 일단이 연결되고 상기 종단전압 포트에 다른 일단이 연결되는 제2종단저항을 더 구비할 수 있다.

**【대표도】**

도 3

**【명세서】****【발명의 명칭】**

온칩 DC 전류 소모를 최소화할 수 있는 ODT 회로와 ODT 방법 및 이를 구비하는 메모리장치를 채용하는 메모리 시스템{On-Die Termination circuit and method for reducing on-chip DC current and memory system including memory device having the same}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래기술에 따른 일반적인 종단방식을 나타내는 도면이다.

도 2는 종래기술에 따른 레일 투 레일(Rail-to-rail) 온 다이 종단방식을 나타내는 도면이다.

도 3은 본 발명의 제1실시예에 따른 온 다이 종단방식을 나타내는 회로도이다.

도 4는 종단 인에이블 신호 발생회로의 제1실시예를 나타내는 회로도이다.

도 5는 종단 인에이블 신호 발생회로의 제2실시예를 나타내는 회로도이다.

도 6은 본 발명의 제2실시예에 따른 온 다이 종단방식을 나타내는 회로도이다.

도 7은 본 발명에 따른 온 다이 종단 회로를 포함하는 동기식 메모리장치를 채용하는 메모리 시스템의 일예를 나타내는 도면이다.

도 8은 본 발명에 따른 온 다이 종단 회로를 포함하는 동기식 메모리장치를 채용하는 메모리 시스템의 다른 예를 나타내는 도면이다.

도 9는 본 발명에 따른 온 다이 종단 회로를 포함하는 복수개의 동기식 메모리장치들을 공유하는 멀티 드롭 넷(Multi-drop net)를 채용하는 메모리 시스템을 나타내는 도면이다.

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 메모리장치에 관한 것으로, 특히 온 다이 종단(On-Die Termination, 이하 ODT라 한다.) 회로와 온 다이 종단방법 및 이를 구비하는 메모리장치를 채용하는 메모리 시스템에 관한 것이다.
- <12> 동기식 메모리장치의 동작속도가 점점 빨라지면서 메모리 시스템에서 동기식 메모리장치의 데이터 입력 또는 출력핀에 연결되는 전송선의 종단(Termination)이 요구되고 있다. 최근에 사용되는 DDR SDRAM(Double Data Rate Synchronous DRAM)의 인터페이스는 기본적으로 SSTL(Stub Series Terminated Tranceiver Logic)이며 도 1에 도시된 바와 같이 메모리장치(100) 외부에 종단저항(R-term)을 사용하도록 규정되어 있다. 그러나 이와 같은 경우에는 종단저항(R-term)과 또한 종단전압(Vtt)을 발생시키기 위한 전압 레귤레이터(Voltage regulator)가 요구되며 이로 인하여 시스템 비용(Cost)이 증대되는 단점이 있다.
- <13> 이러한 단점을 해결하기 위하여 도 2에 도시된 바와 같은 레일 투

레일(Rail-to-rail) ODT 방식이 제안되었다. 이 ODT 방식에서는 메모리장치(200) 내부에 종단저항들(R-term1, R-term2)이 포함되며 스위치 트랜지스터들(S1,S2)에 의해 종단저항들의 연결상태가 제어된다. 즉 종단 인에이블 신호(TE)가 논리"하이"로 활성화될 때 스위치 트랜지스터들(S1,S2)이 턴온되어 ODT가 인에이블된다. 그러나 이러한 방식에서는 ODT가 인에이블되어 있는 동안 전원전압(VDD)과 접지(VSS) 사이에 전류경로가 형성되어 온칩(On-chip) DC 전류 소모가 증가하는 단점이 있다.

<14> 특히 DRAM의 경우 핀수가 16개 이상인데 각각의 핀에 ODT 회로가 구비된다면 각각의 핀에 구비된 ODT 회로들이 동시에 인에이블될 때 흐르는 전류는 매우 크며 DRAM의 동작전류와 거의 비슷한 수준에 도달한다. 따라서 DRAM의 전체 전력소모가 크게 증가하게 된다.

**【발명이 이루고자 하는 기술적 과제】**

<15> 따라서 본 발명이 이루고자하는 기술적 과제는, 온칩 DC 전류 소모를 최소화할 수 있는 새로운 ODT 회로를 제공하는 데 있다.

<16> 본 발명이 이루고자하는 다른 기술적 과제는, 온칩 DC 전류 소모를 최소화할 수 있는 새로운 ODT 방법을 제공하는 데 있다.

<17> 본 발명이 이루고자하는 또 다른 기술적 과제는, 상기 새로운 ODT 회로를 포함하는 동기식 메모리장치를 채용하는 메모리 시스템을 제공하는 데 있다.

**【발명의 구성 및 작용】**

<18> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 ODT 회로는, 종단전압을 수신하는 종단전압 포트, 데이터 입출력 포트, 상기 데이터 입출력 포트에 일단이 연결되는

제1종단저항, 및 종단 인에이블 신호에 응답하여 상기 종단전압 포트와 상기 제1종단저항의 다른 일단을 선택적으로 연결하는 스위치를 구비하는 것을 특징으로 한다.

<19>      상기 본 발명에 따른 ODT 회로는, 상기 동기식 메모리장치의 기입동작시 입력 데이터의 유효구간을 나타내는 신호 또는 독출구간이 아님을 나타내는 신호 및 모드 레지스터 셋트(MRS)의 출력신호에 응답하여 상기 종단 인에이블 신호를 발생하는 종단 인에이블 신호 발생회로를 더 구비한다.

<20>      상기 모드 레지스터 셋트(MRS)의 출력신호가 디스에이블되고 상기 입력 데이터의 유효구간을 나타내는 신호 또는 상기 독출구간이 아님을 나타내는 신호가 인에이블될 때 상기 종단 인에이블 신호가 인에이블된다. 또한 상기 모드레지스터 셋트(MRS)의 출력신호가 인에이블될 때는 상기 입력 데이터의 유효구간을 나타내는 신호 또는 상기 독출구간이 아님을 나타내는 신호에 무관하게 상기 종단 인에이블 신호가 인에이블된다.

<21>      상기 본 발명에 따른 ODT 회로는, 상기 데이터 입출력 포트에 일단이 연결되고 상기 종단전압 포트에 다른 일단이 연결되는 제2종단저항을 더 구비할 수 있다.

<22>      상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 동기식 메모리장치의 ODT 방법은, 상기 동기식 메모리장치 내부에 종단전압을 수신하는 종단전압 포트를 구비시키는 단계, 상기 동기식 메모리장치의 데이터 입출력 포트에 일단이 연결되는 제1종단저항을 상기 동기식 메모리장치 내부에 구비시키는 단계, 및 상기 종단전압 포트와 상기 제1종단저항의 다른 일단을 선택적으로 연결하는 단계를 구비하는 것을 특징으로 한다.

<23>      상기 선택적으로 연결하는 단계는, 상기 동기식 메모리장치의 기입동작시 입력 데이터의 유효구간 동안에 상기 종단전압 포트와 상기 제1종단저항의 다른 일단을 연결하



는 단계를 구비한다. 또한 상기 선택적으로 연결하는 단계는, 상기 메모리장치의 독출동작 이외의 구간 동안에 상기 종단전압 포트와 상기 제1종단저항의 다른 일단을 연결하는 단계를 구비한다. 또한 상기 선택적으로 연결하는 단계는, 외부에서 상기 메모리장치의 내부에 구비되는 모드 레지스터 셋(MRS)가 셋팅될 때 상기 종단전압 포트와 상기 제1종단저항의 다른 일단을 연결하는 단계를 구비한다.

<24>      상기 본 발명에 따른 동기식 메모리장치의 ODT 방법은, 상기 데이터 입출력 포트에 일단이 연결되고 상기 종단전압 포트에 다른 일단이 연결되는 제2종단저항을 상기 동기식 메모리장치 내부에 구비시키는 단계를 더 구비할 수 있다.

<25>      상기 또 다른 기술적 과제를 달성하기 위한 본 발명의 일실시예에 따른 메모리 시스템은, 메모리 컨트롤러, 종단전압을 발생하는 전압 레귤레이터, 및 상기 메모리 컨트롤러와 상기 전압 레귤레이터에 연결되고 온 다이 종단회로를 포함하며 상기 전압 레귤레이터로부터 상기 종단전압을 수신하는 동기식 메모리장치를 구비하는 것을 특징으로 한다.

<26>      상기 온 다이 종단회로는, 상기 전압 레귤레이터로부터 상기 종단전압을 수신하는 종단전압 포트, 상기 메모리 컨트롤러로부터 입력 데이터를 수신하거나 상기 메모리 컨트롤러로 출력 데이터를 출력하는 데이터 입출력 포트, 상기 데이터 입출력 포트에 일단이 연결되는 제1종단저항, 및 종단 인에이블 신호에 응답하여 상기 종단전압 포트와 상기 제1종단저항의 다른 일단을 선택적으로 연결하는 스위치를 구비한다.

<27>      상기 또 다른 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 메모리 시스템은, 종단전압을 발생하는 메모리 컨트롤러, 및 상기 메모리 컨트롤러에 연결되고

온 다이 종단회로를 포함하여 상기 메모리 컨트롤러로부터 상기 종단전압을 수신하는 동기식 메모리장치를 구비하는 것을 특징으로 한다.

<28>       상기 온 다이 종단회로는, 상기 메모리 컨트롤러로부터 상기 종단전압을 수신하는 종단전압 포트, 상기 메모리 컨트롤러로부터 입력 데이터를 수신하거나 상기 메모리 컨트롤러로 출력 데이터를 출력하는 데이터 입출력 포트, 상기 데이터 입출력 포트에 일단이 연결되는 제1종단저항, 및 종단 인에이블 신호에 응답하여 상기 종단전압 포트와 상기 제1종단저항의 다른 일단을 선택적으로 연결하는 스위치를 구비한다.

<29>       상기 또 다른 기술적 과제를 달성하기 위한 본 발명의 또 다른 실시예에 따른 메모리 시스템은, 메모리 컨트롤러, 및 채널을 통해 상기 메모리 컨트롤러에 연결되고 온 다이 종단회로를 포함하는 복수개의 동기식 메모리장치들을 구비하고, 상기 복수개의 동기식 메모리장치들중 상기 메모리 컨트롤러로부터 먼쪽에 위치하는 하나 이상의 메모리장치에서만 상기 온 다이 종단회로가 인에이블되고 나머지 메모리장치들에서는 상기 온 다이 종단회로가 디스에이블되는 것을 특징으로 한다.

<30>       상기 온 다이 종단회로는, 종단전압을 수신하는 종단전압 포트, 데이터 입출력 포트, 상기 데이터 입출력 포트에 일단이 연결되는 제1종단저항, 및 종단 인에이블 신호의 활성화에 응답하여 상기 종단전압 포트와 상기 제1종단저항의 다른 일단을 연결하는 스위치를 구비하고, 상기 종단 인에이블 신호는 상기 메모리장치 내부의 모드 레지스터 셋(MRS)가 셋팅될 때 활성화되어 상기 온 다이 종단회로가 인에이블된다.

<31>       본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.



- <32> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <33> 도 3은 본 발명의 제1실시예에 따른 ODT 방식을 나타내는 회로도이다.
- <34> 도 3을 참조하면, 본 발명의 제1실시예에 따른 ODT 방식에서는 동기식 메모리장치(300) 내부에 종단전압 포트(VTP), 종단저항(R-term1), 및 스위치(TM)가 구비된다.
- <35> 종단저항(R-term1)은 데이터 입출력 포트(DQ)에 일단이 연결되고, 스위치(TM)는 종단저항(R-term1)의 다른 일단과 종단전압 포트(VTP) 사이에 연결된다. 스위치(TM)는 전송게이트(Transmission gate)로 구성되며 종단 인에이블 신호(TE)에 응답하여 종단전압 포트(VTP)와 종단저항(R-term1)의 다른 일단을 선택적으로 연결한다. 도 3에서 PM은 출력버퍼의 풀업 트랜지스터를 나타내고 NM은 출력버퍼의 풀다운 트랜지스터를 나타내며 참조번호 31은 입력버퍼를 나타낸다.
- <36> 좀더 상세히 설명하면, 본 발명에서는 동기식 메모리장치(300)의 외부로부터 종단전압 포트(VTP)를 통해 인가되는 종단전압(VTTP)을 스위치(TM)를 이용하여 종단저항(R-term1)에 연결하거나 끊음으로써, 입출력 포트(DQ)에 연결되는 전송선(DB), 즉 데이터 버스에 종단이 선택적으로 제공된다. 이 경우 종단저항 값은 스위치(TM)의 채널저항과 종단저항(R-term1)을 합한 값이 되지만 여기에서는 스위치(TM)의 채널저항은 무시할 수 있을 정도로 작다고 가정한다.
- <37> 한편 종단전압 포트(VTP)의 수는 적어도 하나 이상인 것이 바람직하다. 즉 종단전압 포트를 통해 입력되는 종단전압(VTTP)은 전류의 싱크(Sync) 및 소오스(Source) 역할을 모두 수행해야 하므로 종단전압 포트(VTP)의 개수는 많으면 많을수록 좋다. 통상의

디램이 X4, X8, X16등의 구성을 갖고 있으므로 데이터 입출력 포트(DQ)의 수가 증가함에 따라 필요한 종단전압 포트(VTP)의 수도 증가하여야 적절한 신호 충실도(Signal integrity)를 확보할 수 있다. 이 경우 각각의 데이터 입출력 포트(DQ)에 각각의 종단전압 포트(VTP)가 구비될 수도 있고 다수개의 데이터 입출력 포트에 하나씩의 종단전압 포트가 구비될 수도 있다.

<38> 종단 인에이블 신호(TE)는 동기식 메모리장치의 기입동작시 입력 데이터가 들어오는 시간구간 동안만 인에이블되는 내부신호를 이용하여 발생될 수 있다. 또한 독출동작 이외의 구간에 항상 인에이블되는 내부신호를 이용하여 발생될 수도 있다. 필요에 따라서는 동기식 메모리장치내에 구비되어 있는 모드레지스터 셋트(MRS)를 이용하여 종단을 인에이블시킬 수도 있다.

<39> 도 4는 종단 인에이블 신호(TE) 발생회로의 제1실시예를 나타내는 회로도이다.

<40> 도 4를 참조하면, 제1실시예에 따른 종단 인에이블 신호 발생회로는, 노아게이트(41), 인버터(42), 인버터(43), 낸드게이트(44), 낸드게이트(45), 및 인버터(46)를 구비한다.

<41> 노아게이트(41)는 기입동작시 입력 데이터의 유효구간을 나타내는 신호(WV) 또는 독출구간이 아님을 나타내는 신호(TRST)와 모드레지스터 셋트 인에이블 신호(MRS\_EN)를 수신한다. 인버터(42)는 노아게이트(41)의 출력신호를 반전시키고, 인버터(43)는 신호(MRS\_TE)를 반전시킨다.

<42> 낸드게이트(44)는 모드레지스터 셋트 인에이블 신호(MRS\_EN)와 인버터(43)의 출력신호를 수신하고, 낸드게이트(45)는 인버터(42)의 출력신호와 낸드게이트(44)의 출력신

호를 수신한다. 인버터(46)는 낸드게이트(45)의 출력신호를 반전시켜 최종적으로 종단 인에이블 신호(TE)를 발생한다.

<43> 신호(WV)는 동기식 메모리장치의 기입동작시 입력 데이터가 들어오는 시간구간 동안만 논리"하이"로 인에이블되는 신호이며 동기식 메모리장치의 내부에서 발생하는 신호이다. 신호(TRST)는 동기식 메모리장치의 독출동작 이외의 구간에 항상 논리"하이"로 인에이블되는 신호이며 동기식 메모리장치의 내부에서 발생하는 신호이다. 신호(TRST)는 통상적으로 동기식 메모리장치의 출력 드라이버에 대한 인에이블 신호로서 사용된다.

<44> 모드레지스터 셋트 인에이블 신호(MRS\_EN)는 동기식 메모리장치의 내부에 구비되는 모드 레지스터 셋트(MRS)의 출력신호로서 동기식 메모리장치의 외부로부터 MRS가 셋팅되면 논리"하이"로 인에이블되는 신호이다. 신호(MRS\_TE)는 모드레지스터 셋트 인에이블 신호(MRS\_EN)의 인에이블동안 종단을 인에이블시키기 위한 신호이다.

<45> 동작을 좀더 설명하면, 모드레지스터 셋트 인에이블 신호(MRS\_EN)가 논리"로우"로 디스에이블된 상태에서 입력 데이터의 유효구간을 나타내는 신호(WV) 또는 독출구간이 아님을 나타내는 신호(TRST)가 논리"하이"가 되면 종단 인에이블 신호(TE)가 논리"하이"가 된다. 이에 따라 도 3에 도시된 스위치(TM)가 턴온되어 종단전압 포트(VTP)와 종단저항(R-term1)이 연결되며 그 결과 입출력 포트(DQ)에 연결되는 전송선(DB)에 종단이 제공된다.

<46> 모드레지스터 셋트 인에이블 신호(MRS\_EN)가 논리"하이"로 인에이블된 상태에서는, 신호(MRS\_TE)가 논리"하이"가 될 때 종단 인에이블 신호(TE)가 논리"하이"가 된다. 즉 모드레지스터 셋트 인에이블 신호(MRS\_EN)와 신호(MRS\_TE)가 모두 논리"하이"가 될 때는, 입력 데이터의 유효구간을 나타내는 신호(WV) 또는 독출구간이 아님을 나타내는 신호

(TRST)에 무관하게 종단 인에이블 신호(TE)가 논리"하이"로 인에이블되어 전송선(DB)에 종단이 제공된다.

- <47> 도 5는 종단 인에이블 신호(TE) 발생회로의 제2실시예를 나타내는 회로도이다.
- <48> 도 5를 참조하면, 제2실시예에 따른 종단 인에이블 신호 발생회로는, 인버터(51), 낸드게이트(52), 낸드게이트(53), 및 인버터(54)를 구비한다.
- <49> 인버터(51)는 신호(MRS\_TE)를 반전시키고, 낸드게이트(52)는 기입동작시 입력 데이터의 유효구간을 나타내는 신호(WV) 또는 독출구간이 아님을 나타내는 신호(TRST)와 인버터(51)의 출력신호를 수신한다. 낸드게이트(53)는 신호(WV) 또는 신호(TRST)와 낸드게이트(52)의 출력신호를 수신하고, 인버터(54)는 낸드게이트(53)의 출력신호를 반전시켜 최종적으로 종단 인에이블 신호(TE)를 발생한다.
- <50> 동작을 좀더 설명하면, 신호(WV) 또는 신호(TRST)가 논리"로우"일때에는 신호(MRS\_TE)에 무관하게 종단 인에이블 신호(TE)가 논리"로우"로 디스에이블된다. 반면에 신호(WV) 또는 신호(TRST)가 논리"하이"일때에는 신호(MRS\_TE)가 논리"하이"일 때 종단 인에이블 신호(TE)가 논리"하이"로 인에이블되고 신호(MRS\_TE)가 논리"로우"일 때 종단 인에이블 신호(TE)가 논리"로우"로 디스에이블된다.
- <51> 도 6은 본 발명의 제2실시예에 따른 ODT 방식을 나타내는 회로도이다.
- <52> 도 6을 참조하면, 본 발명의 제2실시예에 따른 ODT 방식에서는 도 3의 제1실시예와 비교하여 메모리장치(600) 내부에 제2종단저항(R-term2)이 더 구비된다.

- <53> 제2종단저항(R-term2)은 데이터 입출력 포트(DQ)에 일단이 연결되고 종단전압 포트(VTP)에 다른 일단이 연결된다. 여기에서 제2종단저항(R-term2)의 저항값은 제1종단저항(R-term1)의 저항값에 비해 현저히 크다.
- <54> 좀더 상세히 설명하면, 메모리장치(600)의 기입동작시에만 종단을 인에이블시킨다면 기입동작 이외의 구간중 독출동작을 제외한 구간, 즉 기입동작 및 독출동작이 아닌 구간에서는 전송선(DB)이 플로우팅(Floating)된다. 이러한 경우 새로운 기입동작시 전송선(DB)이 적절한 종단레벨(Termination level)로 준비되기 위해서는 소정의 시간이 필요하게 되는 데 이는 시스템 동작에 부담으로 작용한다.
- <55> 이러한 문제점을 해결하기 위한 하나의 방법이 제1실시예에서와 같이 독출동작 이외의 구간에서는 항상 종단이 인에이블되도록 하는 것이다. 그러나 이러한 경우에도 메모리 컨트롤러와 메모리장치가 기입동작 및 독출동작을 연달아 수행할 때 전송선(DB)이 플로우팅되는 경우가 존재하여 순간적으로 전송선(DB)의 전압값이 원하지 않는 값으로 놓여질 수 있다.
- <56> 따라서 도 6의 제2실시예에서는 전송선(DB)이 플로우팅되는 것을 방지하기 위해 데이터 입출력 포트(DQ)와 종단전압 포트(VTP)를 항상 연결하는 제2종단저항(R-term2)이 제공된다. 위에서 언급한 바와 같이 제2종단저항(R-term2)은 단순히 전송선(DB)의 플로우팅을 방지하기 위한 것이므로 제2종단저항(R-term2)의 저항값은 제1종단저항(R-term1)의 저항값에 비해 현저히 크게 구성된다.
- <57> 제2실시예에서는 스위치(TM)가 턴온되어 종단이 인에이블되면 종단저항 값은 제1종단저항(R-term1)과 제2종단저항(R-term2) 간의 병렬저항 값이 된다. 그런데

제2종단저항(R-term2)의 저항값이 제1종단저항(R-term1)의 저항값에 비해 현저히 크므로 병렬저항 값은 제1종단저항(R-term1)의 저항값으로 근사될 수 있다.

<58> 도 7은 본 발명에 따른 ODT 회로를 포함하는 동기식 메모리장치를 채용하는 메모리 시스템의 일예를 나타내는 도면이다. 도 7에 도시된 메모리 시스템에서는 전압 레귤레이터(73)가 종단전압(VTTP)을 발생한다. 도 3 또는 도 6에 도시된 본 발명에 따른 ODT 회로(751)를 포함하는 동기식 메모리장치(75)는 전압 레귤레이터(73)로부터 발생된 종단전압(VTTP)을 종단전압 포트(VTP)을 통해 수신한다.

<59> 도 8은 본 발명에 따른 ODT 회로를 포함하는 동기식 메모리장치를 채용하는 메모리 시스템의 다른 예를 나타내는 도면이다. 도 8에 도시된 메모리 시스템에서는 메모리 컨트롤러(81)가 종단전압(VTTP)을 발생한다. 상기 본 발명에 따른 ODT 회로(851)를 포함하는 동기식 메모리장치(85)는 메모리 컨트롤러(81)로부터 발생된 종단전압(VTTP)을 종단전압 포트(VTP)을 통해 수신한다.

<60> 도 9는 본 발명에 따른 ODT 회로를 포함하는 복수개의 동기식 메모리장치들을 공유하는 멀티 드롭 넷(Multi-drop net)을 채용하는 메모리 시스템을 나타내는 도면이다.

<61> 도 9에 도시된 바와 같은 멀티 드롭 넷을 채용하는 메모리 시스템에서는 메모리 컨트롤러(91)로부터 가장 먼쪽에 위치하는 메모리장치(94)에서만 ODT가 인에이블되고 가까운 쪽에 위치하는 메모리장치들(92,93)에서는 ODT가 디스에이블되는 것이 바람직하다. 이를 구현하기 위해서는 메모리 컨트롤러(91)에 의해 가장 먼쪽에 위치하는 메모리장치(94)의 MRS를 셋팅시키고 가까운 쪽에 위치하는 메모리장치들(92,93)의 MRS를 셋팅시키지 않으면 된다.



- <62> 즉 MRS가 셋팅되는 메모리장치(94)에서는 도 4의 중단 인에이블 신호 발생회로에서 신호(MRS\_EN)와 신호(MRS\_TE)가 모두 논리"하이"가 되어 중단 인에이블 신호(TE)가 논리"하이"로 인에이블되며 그 결과 ODT가 인에이블된다. 반면에 MRS가 셋팅되지 않는 메모리장치(92,93)에서는 신호(MRS\_EN)와 신호(MRS\_TE)가 모두 논리"로우"가 되어 중단 인에이블 신호(TE)가 논리"로우"로 디스에이블되며 그 결과 ODT가 디스에이블된다.
- <63> 여기에서는 하나의 메모리장치(94)에서만 ODT가 인에이블되는 경우가 설명되었지만, 필요에 따라 메모리 컨트롤러(91)로부터 먼쪽에 위치하는 하나 이상의 메모리장치에서 ODT가 인에이블되도록 구성될 수 있다.
- <64> 또한 여기에서는 MRS의 셋팅 여부에 따라 ODT가 인에이블되거나 디스에이블되도록 구성되었지만, 메모리장치가 MRS 대신에 ID(Identity) 레지스터를 구비하고 메모리 컨트롤러에 의해 ID 레지스터를 셋팅함으로써 메모리장치의 ODT가 인에이블되도록 구성될 수도 있다.
- <65> 이상 도면과 명세서에서 최적 실시예들이 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

**【발명의 효과】**

<66> 상술한 본 발명에 따른 ODT 회로 및 방법에서는 ODT가 인에이블되어 있는 동안 전원전압(VDD)과 접지(VSS) 사이에 전류경로가 형성되지 않는다. 따라서 온칩 DC 전류 소모가 최소화되는 장점이 있다.

**【특허청구범위】****【청구항 1】**

종단전압을 수신하는 종단전압 포트;

데이터 입출력 포트;

상기 데이터 입출력 포트에 일단이 연결되는 제1종단저항; 및

종단 인에이블 신호에 응답하여 상기 종단전압 포트와 상기 제1종단저항의 다른 일단을 선택적으로 연결하는 스위치를 구비하는 것을 특징으로 하는 동기식 메모리장치의 온 다이 종단(On-Die Termination, ODT) 회로.

**【청구항 2】**

제1항에 있어서,

상기 동기식 메모리장치의 기입동작시 입력 데이터의 유효구간을 나타내는 신호 또는 독출구간이 아님을 나타내는 신호 및 모드 레지스터 셋트(MRS)의 출력신호에 응답하여 상기 종단 인에이블 신호를 발생하는 종단 인에이블 신호 발생회로를 더 구비하는 것을 특징으로 하는 동기식 메모리장치의 온 다이 종단회로.

**【청구항 3】**

제2항에 있어서, 상기 모드 레지스터 셋트(MRS)의 출력신호가 디스에이블되고 상기 입력 데이터의 유효구간을 나타내는 신호 또는 상기 독출구간이 아님을 나타내는 신호가 인에이블될 때 상기 종단 인에이블 신호가 인에이블되는 것을 특징으로 하는 동기식 메모리장치의 온 다이 종단회로.

**【청구항 4】**

제2항에 있어서, 상기 모드레지스터 셋트(MRS)의 출력신호가 인에이블될 때는 상기 입력 데이터의 유효구간을 나타내는 신호 또는 상기 독출구간이 아님을 나타내는 신호에 무관하게 상기 종단 인에이블 신호가 인에이블되는 것을 특징으로 하는 동기식 메모리장치  
의 온 다이 종단회로.

**【청구항 5】**

제1항에 있어서,

상기 데이터 입출력 포트에 일단이 연결되고 상기 종단전압 포트에 다른 일단이 연결되는 제2종단저항을 더 구비하는 것을 특징으로 하는 동기식 메모리장치의 온 다이 종단회로.

**【청구항 6】**

제5항에 있어서, 상기 제2종단저항의 저항값은 상기 제1종단저항의 저항값에 비해 현저히 큰 것을 특징으로 하는 동기식 메모리장치의 온 다이 종단회로.

**【청구항 7】**

제1항에 있어서, 상기 종단전압은 상기 동기식 메모리장치가 장착되는 시스템 내의 전압 레귤레이터로부터 발생하는 것을 특징으로 하는 동기식 메모리장치의 온 다이 종단회로.

**【청구항 8】**

제1항에 있어서, 상기 종단전압은 상기 동기식 메모리장치가 장착되는 시스템 내의 메모리 컨트롤러로부터 발생하는 것을 특징으로 하는 동기식 메모리장치의 온 다이 종단회로.

**【청구항 9】**

제1항에 있어서, 상기 종단전압 포트의 수는 적어도 하나 이상인 것을 특징으로 하는 동기식 메모리장치의 온 다이 종단회로.

**【청구항 10】**

동기식 메모리장치의 온 다이 종단 방법에 있어서,

상기 동기식 메모리장치 내부에 종단전압을 수신하는 종단전압 포트를 구비시키는 단계;

상기 동기식 메모리장치의 데이터 입출력 포트에 일단이 연결되는 제1종단저항을 상기 동기식 메모리장치 내부에 구비시키는 단계; 및

상기 종단전압 포트와 상기 제1종단저항의 다른 일단을 선택적으로 연결하는 단계를 구비하는 것을 특징으로 하는 동기식 메모리장치의 온 다이 종단 방법.

**【청구항 11】**

제10항에 있어서, 상기 선택적으로 연결하는 단계는,

상기 동기식 메모리장치의 기입동작시 입력 데이터의 유효구간 동안에 상기 종단전압 포트와 상기 제1종단저항의 다른 일단을 연결하는 단계를 구비하는 것을 특징으로 하는 동기식 메모리장치의 온 다이 종단 방법.

**【청구항 12】**

제10항에 있어서, 상기 선택적으로 연결하는 단계는,

상기 메모리장치의 독출동작이외의 구간 동안에 상기 종단전압 포트와 상기 제1종단저항의 다른 일단을 연결하는 단계를 구비하는 것을 특징으로 하는 동기식 메모리장치의 온 다이 종단방법.

**【청구항 13】**

제10항에 있어서, 상기 선택적으로 연결하는 단계는,

외부에서 상기 메모리장치의 내부에 구비되는 모드 레지스터 셋(MRS)가 셋팅될 때 상기 종단전압 포트와 상기 제1종단저항의 다른 일단을 연결하는 단계를 구비하는 것을 특징으로 하는 동기식 메모리장치의 온 다이 종단방법.

**【청구항 14】**

제10항에 있어서,

상기 데이터 입출력 포트에 일단이 연결되고 상기 종단전압 포트에 다른 일단이 연결되는 제2종단저항을 상기 동기식 메모리장치 내부에 구비시키는 단계를 더 구비하는 것을 특징으로 하는 동기식 메모리장치의 온 다이 종단방법.

**【청구항 15】**

제14항에 있어서, 상기 제2종단저항의 저항값은 상기 제1종단저항의 저항값에 비해 현저히 큰 것을 특징으로 하는 동기식 메모리장치의 온 다이 종단방법.

**【청구항 16】**

제10항에 있어서,

상기 종단전압을 상기 동기식 메모리장치가 장착되는 시스템 내의 전압 레귤레이터로부터 발생하여 상기 종단전압 포트에 제공하는 단계를 더 구비하는 것을 특징으로 하는 동기식 메모리장치의 온 다이 종단방법.

【청구항 17】

제10항에 있어서,

상기 종단전압을 상기 동기식 메모리장치가 장착되는 시스템 내의 메모리 컨트롤러로부터 발생하여 상기 종단전압 포트에 제공하는 단계를 더 구비하는 것을 특징으로 하는 동기식 메모리장치의 온 다이 종단방법.

【청구항 18】

메모리 컨트롤러;

종단전압을 발생하는 전압 레귤레이터; 및

상기 메모리 컨트롤러와 상기 전압 레귤레이터에 연결되고 온 다이 종단회로를 포함하는 동기식 메모리장치를 구비하고,

상기 온 다이 종단회로는,

상기 전압 레귤레이터로부터 상기 종단전압을 수신하는 종단전압 포트;

상기 메모리 컨트롤러로부터 입력 데이터를 수신하거나 상기 메모리 컨트롤러로 출력 데이터를 출력하는 데이터 입출력 포트;

상기 데이터 입출력 포트에 일단이 연결되는 제1종단저항; 및

종단 인에이블 신호에 응답하여 상기 종단전압 포트와 상기 제1종단저항의 다른 일단을 선택적으로 연결하는 스위치를 구비하는 것을 특징으로 하는 메모리 시스템.

**【청구항 19】**

제18항에 있어서, 상기 온 다이 종단회로는,

상기 동기식 메모리장치의 기입동작시 입력 데이터의 유효구간을 나타내는 신호 또는 독출구간이 아님을 나타내는 신호 및 모드 레지스터 셋트(MRS)의 출력신호에 응답하여 상기 종단 인에이블 신호를 발생하는 종단 인에이블 신호 발생회로를 더 구비하는 것을 특징으로 하는 메모리 시스템.

**【청구항 20】**

제18항에 있어서, 상기 온 다이 종단회로는,

상기 데이터 입출력 포트에 일단이 연결되고 상기 종단전압 포트에 다른 일단이 연결되는 제2종단저항을 더 구비하는 것을 특징으로 하는 메모리 시스템.

**【청구항 21】**

종단전압을 발생하는 메모리 컨트롤러; 및

상기 메모리 컨트롤러에 연결되고 온 다이 종단회로를 포함하는 동기식 메모리장치를 구비하고,

상기 온 다이 종단회로는,

상기 메모리 컨트롤러로부터 상기 종단전압을 수신하는 종단전압 포트;

상기 메모리 컨트롤러로부터 입력 데이터를 수신하거나 상기 메모리 컨트롤러로 출력 데이터를 출력하는 데이터 입출력 포트;

상기 데이터 입출력 포트에 일단이 연결되는 제1종단저항; 및



종단 인에이블 신호에 응답하여 상기 종단전압 포트와 상기 제1종단저항의 다른 일단을 선택적으로 연결하는 스위치를 구비하는 것을 특징으로 하는 메모리 시스템.

【청구항 22】

제21항에 있어서, 상기 온 다이 종단회로는,

상기 동기식 메모리장치의 기입동작시 입력 데이터의 유효구간을 나타내는 신호 또는 독출구간이 아님을 나타내는 신호 및 모드 레지스터 셋트(MRS)의 출력신호에 응답하여 상기 종단 인에이블 신호를 발생하는 종단 인에이블 신호 발생회로를 더 구비하는 것을 특징으로 하는 메모리 시스템.

【청구항 23】

제21항에 있어서, 상기 온 다이 종단회로는,

상기 데이터 입출력 포트에 일단이 연결되고 상기 종단전압 포트에 다른 일단이 연결되는 제2종단저항을 더 구비하는 것을 특징으로 하는 메모리 시스템.

【청구항 24】

메모리 컨트롤러; 및

채널을 통해 상기 메모리 컨트롤러에 연결되고 온 다이 종단회로를 포함하는 복수개의 동기식 메모리장치들을 구비하고,

상기 복수개의 동기식 메모리장치들중 상기 메모리 컨트롤러로부터 먼쪽에 위치하는 하나 이상의 메모리장치에서만 상기 온 다이 종단회로가 인에이블되고 나머지 메모리장치들에서는 상기 온 다이 종단회로가 디스에이블되는 것을 특징으로 하는 메모리 시스템.

## 【청구항 25】

제24항에 있어서, 상기 온 다이 종단회로는,

종단전압을 수신하는 종단전압 포트;

데이터 입출력 포트;

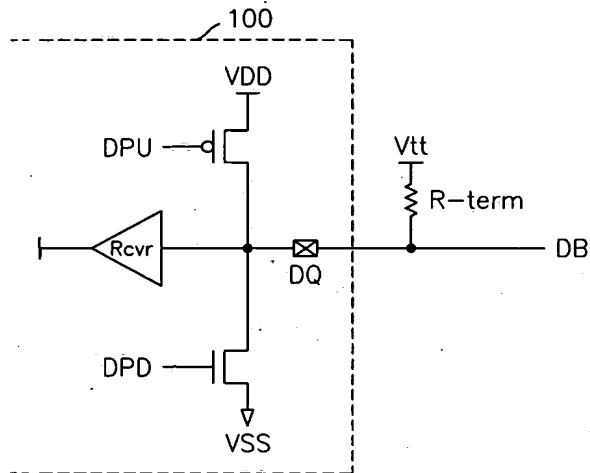
상기 데이터 입출력 포트에 일단이 연결되는 제1종단저항; 및

종단 인에이블 신호의 활성화에 응답하여 상기 종단전압 포트와 상기 제1종단저항의 다른 일단을 연결하는 스위치를 구비하고,

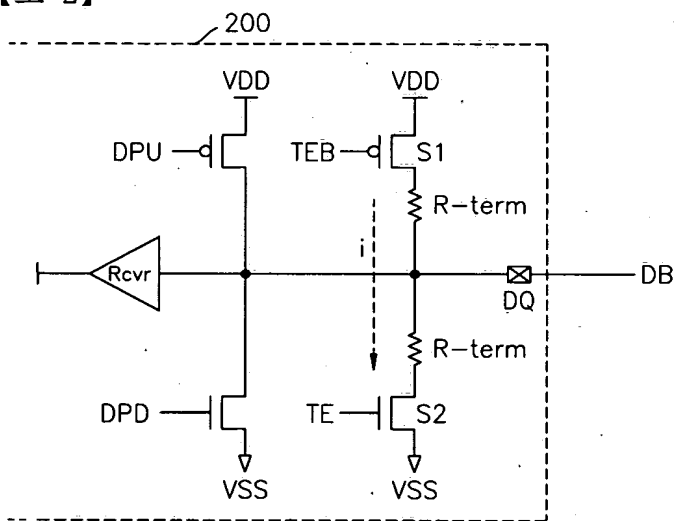
상기 종단 인에이블 신호는 상기 메모리장치 내부의 모드 레지스터 셋(MRS)가 셋팅될 때 활성화되어 상기 온 다이 종단회로가 인에이블되는 것을 특징으로 하는 메모리 시스템.

## 【도면】

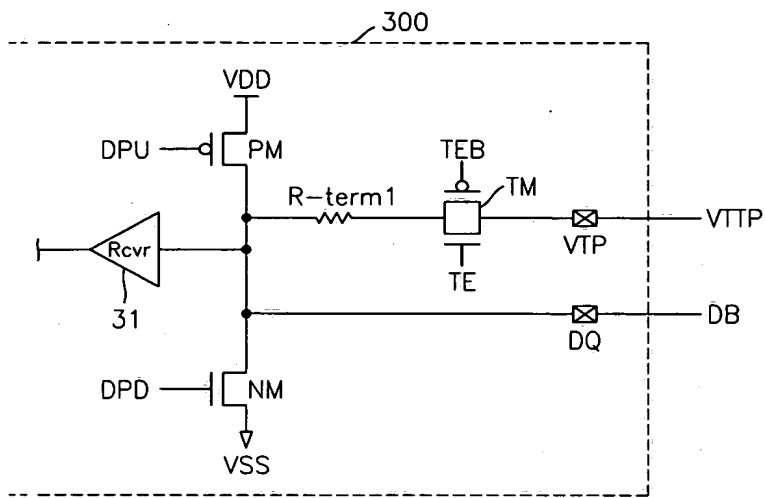
【도 1】



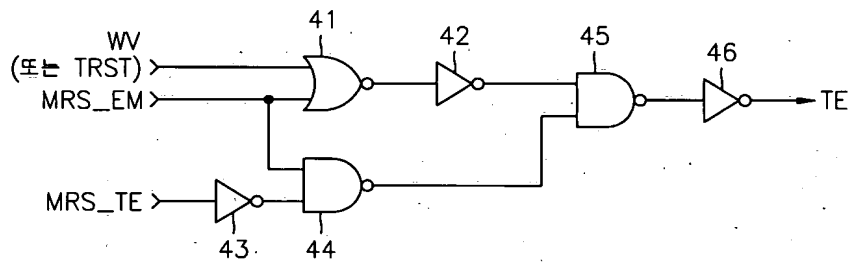
【도 2】



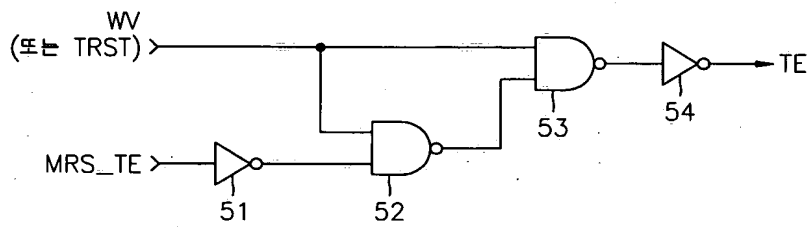
【도 3】



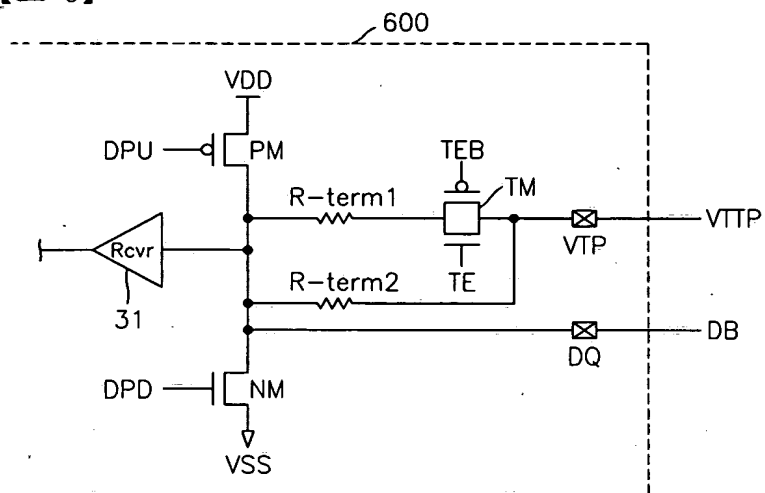
【도 4】



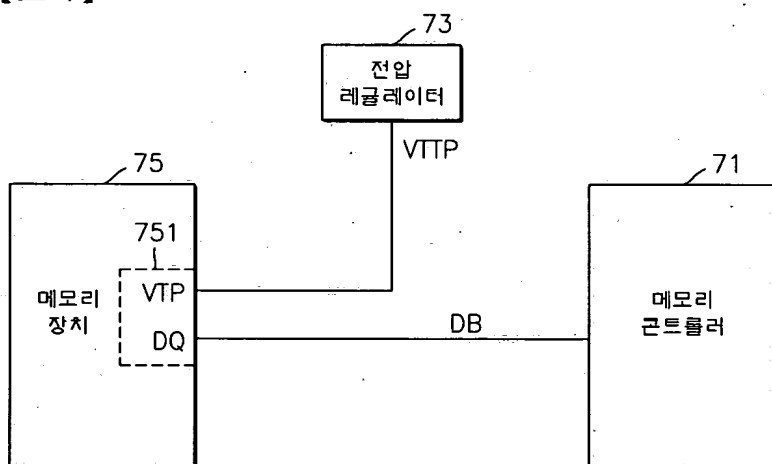
【도 5】



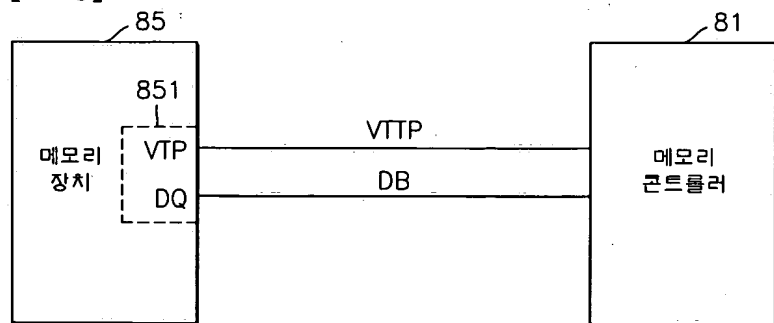
【도 6】



【도 7】



【도 8】



【도 9】

